

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-099603

(43)Date of publication of application : 11.04.1995

(51)Int.Cl. H04N 5/253
H04N 3/36
H04N 7/01
H04N 7/24

(21)Application number : 05-233894

(71)Applicant : SONY CORP

(22)Date of filing : 20.09.1993

(72)Inventor : YONEMITSU JUN
SUZUKI TERUHIKO

(30)Priority

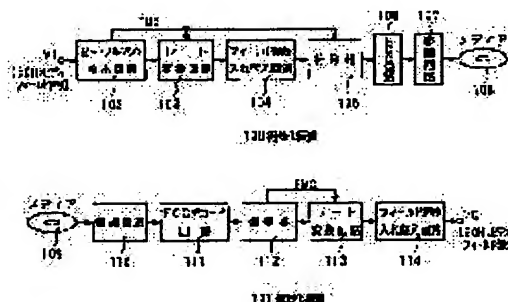
Priority number : 04249791 Priority date : 18.09.1992 Priority country : JP
04249792 18.09.1992 JP
05166746 06.07.1993 JP

(54) METHOD AND DEVICE FOR ENCODING OR DECODING VIDEO SIGNAL OR VIDEO SIGNAL RECORDING MEDIUM

(57)Abstract:

PURPOSE: To perform efficient encoding by detecting fields, which are duplicated at the time of telecine conversion, from a video signal and removing duplicate fields from the video signal to generate a non-interlace video signal of 24Hz.

CONSTITUTION: A video signal VI of 60Hz is sent to a 2-3 pull-down detection circuit 102 and has duplicated fields detected. A field mode change signal FMC as the detection signal is sent to a rate conversion circuit 103. When the signal FMC indicates duplicated fields, the rate conversion circuit 103 removes the duplicated fields from the video signal VI of 60Hz and sends this signal to a field sequence changing circuit 104 to convert it to a picture signal of 24Hz having a frame as the unit. This converted picture signal is subjected to compression and encoding processing by an encoder 105, and an error correction code is added by an ECC circuit 106, and thereafter, this signal is modulated by a modulating circuit 107 and is recorded in a medium 108.



LEGAL STATUS

[Date of request for examination] 19.09.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-99603

(43) 公開日 平成7年(1995)4月11日

(51) Int.Cl.⁹ H 0 4 N 5/253
3/36
7/01
7/24

識別記号 Z

庁内整理番号

F I

技術表示箇所

H 0 4 N 7/ 13 Z
審査請求 未請求 請求項の数19 O L (全 24 頁)

(21) 出願番号 特願平5-233894

(22) 出願日 平成5年(1993)9月20日

(31) 優先権主張番号 特願平4-249791

(32) 優先日 平4(1992)9月18日

(33) 優先権主張国 日本 (J P)

(31) 優先権主張番号 特願平4-249792

(32) 優先日 平4(1992)9月18日

(33) 優先権主張国 日本 (J P)

(31) 優先権主張番号 特願平5-166746

(32) 優先日 平5(1993)7月6日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000002185
ソニー株式会社
東京都品川区北品川6丁目7番35号

(72) 発明者 米満 潤
東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

(72) 発明者 鈴木 輝彦
東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

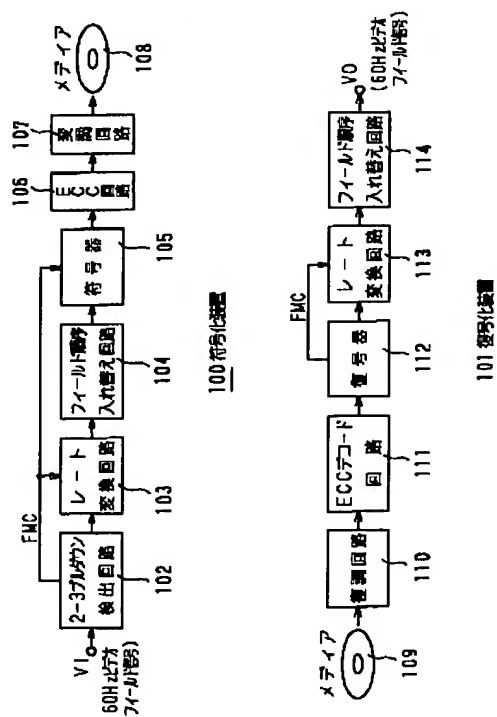
(74) 代理人 弁理士 小池 晃 (外2名)

(54) 【発明の名称】 ビデオ信号符号化方法及び装置、ビデオ信号復号化方法及び装置、又はビデオ信号記録メディア

(57) 【要約】

【構成】 2-3メフルダウンによって24Hzのフィルムソースをテレシネ変換して60Hzのフィールド単位のビデオ信号とし、このビデオ信号を符号化するビデオ信号符号化装置であって、ビデオ信号からテレシネ変換時に重複されたフィールドを検出する2-3プルダウン検出回路102と、ビデオ信号から重複フィールドを除去して、24Hzのノンインターレースビデオ信号を生成するレート変換回路103及びフィールド順序入れ替え回路104と、ノンインターレースビデオ信号を符号化して符号化データを生成する符号器105とを備えている。

【効果】 2-3プルダウンの手法を用いるテレシネ変換により得られたビデオ信号に対して、効率の良い符号化を可能とする。



【特許請求の範囲】

【請求項 1】 24 Hz のフィルムソースをテレシネ変換して得られた 60 Hz のフィールド単位のビデオ信号を符号化するビデオ信号符号化方法において、前記ビデオ信号から前記テレシネ変換時に重複されたフィールドを検出し、前記ビデオ信号から前記重複フィールドを除去して、24 Hz のノンインターレースビデオ信号を生成し、前記ノンインターレースビデオ信号を符号化して符号化データを生成することを特徴とするビデオ信号符号化方法。

【請求項 2】 前記重複フィールドの除去に関連したデータを符号化し、前記符号化データに付加することを特徴とする請求項 1 記載のビデオ信号符号化方法。

【請求項 3】 前記重複フィールドの除去に関連したデータは、少なくとも、フィールドの再表示を指示する信号と、どのフィールドを再表示するかを示す信号とを含むことを特徴とする請求項 2 記載のビデオ信号符号化方法。

【請求項 4】 前記符号化データは、前記ビデオ信号を直交変換し、この直交変換したデータを局部復号し、動き補償予測して生成することを特徴とする請求項 1 記載のビデオ信号符号化方法。

【請求項 5】 符号化で用いられるバッファのテレシネ変換レートに対応するサイズのバッファ容量を仮定してバッファレートを制御することを特徴とする請求項 1 記載のビデオ信号符号化方法。

【請求項 6】 所定の符号化方法により符号化されたデータを復号化するビデオ信号復号化方法において、前記符号化データと重複フィールドの除去に関連したデータとを受信し、分離し、前記符号化データを復号して 24 Hz のノンインターレースビデオ信号を生成し、前記重複フィールドの除去に関連したデータに基づいて前記ノンインターレースビデオ信号を 60 Hz のフィールド単位の画像にレート変換することを特徴とするビデオ信号復号化方法。

【請求項 7】 前記重複フィールドの除去に関連したデータは、少なくとも、フィールドの再表示を指示する信号と、どのフィールドを再表示するかを示す信号とを含むことを特徴とする請求項 6 記載のビデオ信号復号化方法。

【請求項 8】 前記ノンインターレースビデオ信号は、前記符号化データが逆直交変換され、この逆直交変換されたデータが動き補償予測されて、生成されることを特徴とする請求項 6 記載のビデオ信号復号化方法。

【請求項 9】 24 Hz のフィルムソースをテレシネ変換して得られた 60 Hz のフィールド単位のビデオ信号から前記テレシネ変換時に重複されたフィールドを検出し、前記ビデオ信号から前記重複フィールドを除去し

て、24 Hz のノンインターレースビデオ信号を生成し、

前記ノンインターレースビデオ信号を符号化して生成された符号化データが記録されていることを特徴とするビデオ信号記録メディア。

【請求項 10】 前記重複フィールドの除去に関連したデータが符号化され、記録されていることを特徴とする請求項 9 記載のビデオ信号記録メディア。

【請求項 11】 前記重複フィールドの除去に関連したデータは、少なくとも、フィールドの再表示を指示する信号と、どのフィールドを再表示するかを示す信号とを含むことを特徴とする請求項 10 記載のビデオ信号記録メディア。

【請求項 12】 24 Hz のフィルムソースをテレシネ変換して得られた 60 Hz のフィールド単位のビデオ信号を符号化するビデオ信号符号化装置において、前記ビデオ信号から前記テレシネ変換時に重複されたフィールドを検出する重複フィールド検出手段と、前記ビデオ信号から前記検出された重複フィールドを除去して、24 Hz のノンインターレースビデオ信号を生成するノンインターレースビデオ信号生成手段と、前記ノンインターレースビデオ信号を符号化して符号化データを生成する符号化手段とを備えていることを特徴とするビデオ信号符号化装置。

【請求項 13】 前記符号化手段は、前記重複フィールドの除去に関連したデータを符号化し、前記符号化データに付加することを特徴とする請求項 12 記載のビデオ信号符号化装置。

【請求項 14】 前記重複フィールドの除去に関連したデータは、少なくとも、フィールドの再表示を指示する信号と、どのフィールドを再表示するかを示す信号とを含むことを特徴とする請求項 13 記載のビデオ信号符号化装置。

【請求項 15】 前記符号化手段は、少なくとも、前記ビデオ信号を直交変換する直交変換手段と、当該直交変換されたデータを局部復号する局部復号手段と、当該局部復号されたデータを用いて動き補償予測を行う動き補償予測手段とを備えてなることを特徴とする請求項 12 記載のビデオ信号符号化装置。

【請求項 16】 前記符号化手段は、実際のバッファのテレシネ変換レートに対応するサイズのバッファ容量を仮定してバッファレートを制御するバッファレート制御手段を備えることを特徴とする請求項 12 記載のビデオ信号符号化装置。

【請求項 17】 所定の符号化方法により符号化されたデータを復号化するビデオ信号復号化装置において、前記符号化データと重複フィールドの除去に関連したデータとを受信し、分離する受信分離手段と、前記符号化データを復号して 24 Hz のノンインターレースビデオ信号を生成する復号化手段と、

前記重複フィールドの除去に関連したデータに基づいて前記ノンインターレースビデオ信号を60Hzのフィールド単位の画像にレート変換するレート変換手段とを備えてなることを特徴とするビデオ信号復号化装置。

【請求項18】 前記重複フィールドの除去に関連したデータは、少なくとも、フィールドの再表示を指示する信号と、どのフィールドを再表示するかを示す信号とを含むことを特徴とする請求項17記載のビデオ信号復号化装置。

【請求項19】 前記復号化手段は、少なくとも、前記符号化データを逆直交変換する逆直交変換手段と、当該逆直交変換されたデータを用いて動き補償予測を行う動き補償予測手段とを有することを特徴とする請求項17記載のビデオ信号復号化装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、動画画像信号（ビデオ信号）を符号化するビデオ信号符号化方法及びそれに対応するビデオ信号符号化装置と、この符号化されたデータを復号化する復号化方法及びそれに対応するビデオ信号復号化装置と、符号化されたデータが記録されるビデオ信号記録メディアに関するものである。

【0002】

【従来の技術】動画画像の代表的な高能率符号化方式として、MPEG（蓄積用動画画像符号化）方式がある。これは、ISO-IEC/JTC1/SC2/WG11にて議論され標準案として提案されたものであり、動き補償予測符号化とDCT（Discrete Cosine Transform）符号化を組み合わせたハイブリッド方式が採用されている。

【0003】上記動き補償予測符号化は、画像信号の時間軸方向の相関を利用した方法であり、すでに復号再生されてわかっている信号から、現在入力された画像を予測し、その時の予測誤差だけを伝送することで、符号化に必要な情報量を圧縮する方法である。また、DCT符号化は、画像信号の持つフレーム内2次元相関性を利用して、ある特定の周波数成分に信号電力を集中させ、この集中分布した係数のみを符号化することで情報量の圧縮を可能とする。例えば、絵柄が平坦で画像信号の自己相関性が高い部分では、DCT係数は低周波数成分へ集中分布する。したがって、この場合は低域へ集中分布した係数のみを符号化することで情報量の圧縮が可能となる。

【0004】

【発明が解決しようとする課題】ところで、上記MPEGは、基本的にノンインターレース信号を対象とした符号化技術であるため、インターレース信号に適用しようとすると情報圧縮の効率上、問題が生ずる。

【0005】ここで、上記インターレース信号として、例えば、映画などのフィルムソースをインターレースビデ

オ信号に変換したものを例に挙げて説明する。この映画等のフィルムソースをインターレースビデオ信号に変換する場合（いわゆるテレシネ変換）は、いわゆる2-3プルダウン（pull down）という手法が広く用いられている。上記2-3プルダウンの原理を図18に示す。

【0006】例えば、映画などのフィルムは24Hzであるのに対し、ビデオ信号は60Hzであるため（フィールドを単位とした場合）、テレシネではフィールド数変換が必要となる。これには、フィルムの連続した2コマのうち最初のコマをビデオの2フィールドで読み出し、次のコマは3フィールドで読み出すというような操作を繰り返すという方法を用いる。

【0007】図18では、フィルムソース800及び801が24Hzのノンインターレースのフィルムソースであり、1枚のフィルムソースは、図18の実線が示す第1のフィールドと点線が示す第2のフィールドの2つのフィールドに分解される。分解されたフィルムソース800は、第1のフィールドがフィールド802に、第2のフィールドがフィールド803の2フィールドで読み出される。また、フィルムソース801は、第1のフィールドがフィールド804及び806に、第2のフィールドがフィールド805の3フィールドで読み出される。従って、フィールド804とフィールド806は全く同一のものとなる。

【0008】また、図19において、フィールド900及び901が同一のフィルムソースから読み出したものであり、フィールド902及至904が同一のフィルムソースから読み出したものであり、フィールド905及び906が同一のフィルムソースから読み出したものである。フィールド900及び901から得られた画像であるフレーム907と、フィールド902及び903から得られた画像であるフレーム908は、それぞれ同一のフィルムソースから構成されているが、フィールド904及び905から得られる画像であるフレーム909は、異なるフィルムソースから構成されることになる。従って、テレシネされた動画画像にMPEGをフレーム単位で適用しようとする、フレーム907及び908では同一のフィルムソースであるため問題はないが、フレーム909では異なるフィルムソースから構成されるため問題が起こることがある。すなわち、同一のフィルムソースからのフィールドでフレームが構成される例えばフレーム907や908は、フレームDCTの効率が良いのに対し、異なるフィルムソースからのフィールドでフレームが構成される例えばフレーム909はフレームDCTの効率が悪い。

【0009】言い換えれば、例えば映像の動きが速い場合やフレーム内でシーンチェンジが起こってしまうような場合、フレーム内画像信号の垂直方向の相関性が低くなり、DCTによる情報量圧縮の効率が低下してしまう問題が起こることになる。また同様に動き補償予測につ

いても画像信号の相関性の低さから適切な予測とはならない。

【0010】そこで、本発明は、上述したようなことに鑑み、2-3ブルダウンの手法を用いるテレシネ変換により得られたビデオ信号に対して、効率の良い符号化を可能とするビデオ信号符号化方法及び装置、これに対応するビデオ信号復号化方法及び装置、さらにその符号化データが記録されるビデオ信号記録メディアを提供することを目的としている。

【0011】

【課題を解決するための手段】本発明のビデオ信号符号化方法は、上述の目的を達成するために提案されたものであり、24Hzのフィルムソースをテレシネ変換して得られた60Hzのフィールド単位のビデオ信号を符号化するビデオ信号符号化方法であり、前記ビデオ信号から前記テレシネ変換時に重複されたフィールドを検出し、前記ビデオ信号から前記重複フィールドを除去して、24Hzのノンインターレースビデオ信号を生成し、前記ノンインターレースビデオ信号を符号化して符号化データを生成するようにしたものである。

【0012】ここで、本発明のビデオ信号符号化方法は、以下ようになされている。すなわち、前記重複フィールドの除去に関連したデータを符号化し、前記符号化データに付加する。前記重複フィールドの除去に関連したデータは、少なくとも、前記フィールドの再表示を指示する信号と、どのフィールドを再表示するかを示す信号とを含む。前記符号化データは、前記ビデオ信号を直交変換し、この直交変換したデータを局部復号し、動き補償予測して生成する。符号化で用いられる実際のバッファのテレシネ変換レートに対応するサイズのバッファ容量を仮定してバッファレートを制御する。

【0013】また、本発明のビデオ信号復号化方法は、所定の符号化方法により符号化されたデータを復号化するビデオ信号復号化方法であり、前記符号化データと重複フィールドの除去に関連したデータとを受信し、分離し、前記符号化データを復号して24Hzのノンインターレースビデオ信号を生成し、前記重複フィールドの除去に関連したデータに基づいて前記ノンインターレースビデオ信号を60Hzのフィールド単位の画像にレート変換するようにしたものである。

【0014】ここで、本発明のビデオ信号復号化方法は、以下ようになされている。すなわち、前記重複フィールドの除去に関連したデータは、少なくとも、フィールドの再表示を指示する信号と、どのフィールドを再表示するかを示す信号とを含む。前記ノンインターレースビデオ信号は、前記符号化データが逆直交変換され、この逆直交変換されたデータが動き補償予測されて、生成される。

【0015】次に、本発明のビデオ信号記録メディアは、24Hzのフィルムソースをテレシネ変換して得ら

れた60Hzのフィールド単位のビデオ信号から前記テレシネ変換時に重複されたフィールドを検出し、前記ビデオ信号から前記重複フィールドを除去して、24Hzのノンインターレースビデオ信号を生成し、前記ノンインターレースビデオ信号を符号化して生成された符号化データが記録されているものである。

【0016】ここで、本発明のビデオ信号記録メディアは、以下ようになっている。すなわち、前記重複フィールドの除去に関連したデータが符号化され、記録されている。前記重複フィールドの除去に関連したデータは、少なくとも、フィールドの再表示を指示する信号と、どのフィールドを再表示するかを示す信号とを含む。

【0017】次に、本発明のビデオ信号符号化装置は、24Hzのフィルムソースをテレシネ変換して得られた60Hzのフィールド単位のビデオ信号を符号化するビデオ信号符号化装置であり、前記ビデオ信号から前記テレシネ変換時に重複されたフィールドを検出する重複フィールド検出手段と、前記ビデオ信号から前記検出された重複フィールドを除去して、24Hzのノンインターレースビデオ信号を生成するノンインターレースビデオ信号生成手段と、前記ノンインターレースビデオ信号を符号化して符号化データを生成する符号化手段とを備えているものである。

【0018】ここで、本発明のビデオ信号符号化装置は、以下ようになされている。すなわち、前記符号化手段は、前記重複フィールドの除去に関連したデータを符号化し、前記符号化データに付加する。前記重複フィールドの除去に関連したデータは、少なくとも、フィールドの再表示を指示する信号とどのフィールドを再表示するかを示す信号とを含む。前記符号化手段は、少なくとも、前記ビデオ信号を直交変換する直交変換手段と、当該直交変換されたデータを局部復号する局部復号手段と、当該局部復号されたデータを用いて動き補償予測を行う動き補償予測手段とを備えてなる。前記符号化手段は、実際のバッファのテレシネ変換レートに対応するサイズのバッファ容量を仮定してバッファレートを制御するバッファレート制御手段を備えている。

【0019】さらに、本発明のビデオ信号復号化装置は、所定の符号化方法により符号化されたデータを復号化するビデオ信号復号化装置であり、前記符号化データと重複フィールドの除去に関連したデータとを受信し、分離する受信分離手段と、前記符号化データを復号して24Hzのノンインターレースビデオ信号を生成する復号化手段と、前記重複フィールドの除去に関連したデータに基づいて前記ノンインターレースビデオ信号を60Hzのフィールド単位の画像にレート変換するレート変換手段とを備えてなるものである。

【0020】ここで、本発明のビデオ信号復号化装置において、前記重複フィールドの除去に関連したデータ

は、少なくとも、フィールドの再表示を指示する信号とどのフィールドを再表示するかを示す信号とを含む。また、前記復号化手段は、少なくとも、前記符号化データを逆直交変換する逆直交変換手段と、当該逆直交変換されたデータを用いて動き補償予測を行う動き補償予測手段とを有するものである。

【0021】すなわち、言い換えれば、本発明は、

(1) 映画などのフィルムソースを2-3ブルダウン(pull down)により変換して、60Hzのフィールド単位で入力されてくるビデオ信号に対し、2-3ブルダウンにおいて重複されているフィールドを検出し、その検出信号に従って、その重複するフィールドを取り除き、レート変換により24Hzのフレームを単位とする画像信号に変換し、フレームを単位として画像の符号化を行なえることを特徴とする画像処理装置(動画像ビデオ信号符号化装置)を提供し、(2) 符号化された情報から24Hzのフレームを単位としたノンインタレースの画像を復号し、レート変換により60Hzのフィールド単位のビデオ信号に変換し、再生することを特徴とする画像処理装置(動画像ビデオ信号復号化装置)を提供するものである。

【0022】

【作用】本発明によれば、テレシネ変換された60Hzのフィールドを単位とするビデオ信号から重複するフィールドを検出し、レート変換により上記の重複したフィールドを除去した後、24Hzのフレームを単位とする信号に変換することにより、画像圧縮の効率を向上させる動画像の符号化および復号化が可能となる。

【0023】

【実施例】以下、本発明実施例について説明する。

【0024】本発明の第1の実施例について述べる。図1は本発明の第1の実施例の符号化装置100及び復号化装置101の全体的なブロック図を示すものである。まず、符号化装置100の説明をする。60Hzのビデオ信号VIは、後述する2-3ブルダウン検出回路102に送られる。この2-3ブルダウン検出回路102は、重複されているフィールドを検出し、その検出信号であるフィールドモード変更信号FMCを発生し、この信号FMCをレート変換回路103に送る。当該レート変換回路103は、上記信号FMCが重複したフィールドを示している場合には、上記60Hzのビデオ信号VIから、上記の重複しているフィールドを取り除き、フィールド順序入れ換え回路103に送る。次のフィールド順序入れ替え回路104では、上記レート変換回路103の出力を24Hzのフレームを単位とする画像信号に変換する。この変換された画像信号は、符号器105によって圧縮や符号化処理が行われる。その符号化出力はECC回路106で誤り訂正符号が付加された後、変調回路107によって変調され、本発明実施例のメディア108に記録される。

【0025】次に復号化装置101の説明をする。メディア109に記録された信号は、取り出されて復調回路110によって復調される。その復調信号はECCデコード回路111によってエラーが訂正された後、復号器112によって24Hzのフレームを単位とした画像として復号化される。その復号化出力は、レート変換回路113によって60Hzのフィールド信号に変換され、さらに、フィールド順序入れ換え回路114によってフィールドの順序が元画像の時系列となるように入れ換えられる。これにより60Hzのビデオ信号VOが再生されるようになる。

【0026】次に、2-3ブルダウン検出回路102の動作を図2に基づいて説明する。図2において、入力された60Hzのビデオ信号VIは、フィールド遅延回路201及び202により2フィールド遅れのフィールド信号VP1となされ、差分化器203に送られる。また、この差分化器203には、入力ビデオ信号VIも送られ、これにより、当該差分化器203ではこれら供給された信号の1画素毎に差分値が計算される。

【0027】上記1画素毎に計算された差分値VP2は、その絶対値VP3が絶対値器204で計算され、さらにその1フィールドあたりの累積和の値VP4が累積器205で計算される。この累積値VP4が適当な値に定められているしきい値THと比較器206で比較される。この比較器206において、上記しきい値よりも累積値VP4が小なる場合には、入力されたビデオ信号VIは重複しているフィールドであると判断され、これにより当該比較器206からフィールドを除去することを指示するフィールドモード変更信号FMCが出力される。

【0028】また、上記フィールド遅延回路201を介することによって、ビデオ信号VIに対して1フィールドだけ遅延したビデオ信号VI1は、レート変換回路103へ送られる。

【0029】レート変換回路103の動作を図3に基づいて説明する。レート変換回路103に入力される入力画像信号は、上記2-3ブルダウンされたものであり、フィールド301及びフィールド302は同一のフィルムソースから得られたものである。また、フィールド303及至305は同一のフィルムソースから得られたものであり、2-3ブルダウンの性質上フィールド303とフィールド305は全く同じ画像信号(重複しているフィールド)となるので、余分な情報である。したがって、レート変換回路103では、上記2-3ブルダウン検出回路102のフィールドモード変更信号FMCが重複しているフィールドである旨を示した場合、当該フィールド(例えばフィールド305)を重複したビデオ信号であるとみなして除去し、その除去後のビデオ信号を次のフィールド順序入れ替え回路104へ送るようにする。

【0030】フィールド順序入れ替え回路104は、重複フィールドの除去されたフィールド単位のビデオ信号を24Hzのフレーム単位のビデオ信号に変換する

【0031】次に、符号器105の構成ブロック図を図4に示す。符号器106へ供給される信号は、ブロック化回路401に送られる。このブロック化回路401からは例えば16×16画素のマクロブロック単位の形でデータが読み出され、後述する動き検出回路402を介して差分検出器403に伝送される。

【0032】当該差分検出器403には、後述するフィールドメモリ群411～414及び予測器415からなる動き補償器付フィールドメモリ群からの動き補償された画像データも供給され、当該差分検出器403でこれらの差分が検出される。

【0033】上記差分検出器403の出力は、直交変換(DCT)処理を行うDCT回路404に送られる。当該DCT回路404でのDCT処理により得られたDCT係数データは、量子化器405に送られる。当該量子化器405からの量子化データは、例えばいわゆるハフマン符号化やランレングス符号化等の可変長符号化処理を行う可変長符号化回路406、及びバッファ407を介して、符号化データVC1として出力される。

【0034】可変長符号化回路406はまた、フィールドモード変更信号FMCが入力された場合、そのフィールドモード変更信号FMCと、除去されたフィールドの代わりにどのフィールドをコピーするかを示す参照フィールド信号RFCも符号化する。

【0035】また、上記動き補償器付のフィールドメモリ群411～414には、上記量子化器405からの量子化データが、当該量子化器405での量子化処理の逆量子化処理を行う逆量子化器408と上記DCT回路404でのDCT処理の逆DCT処理を行う逆DCT回路409とを介し、更に加算器410を介しセクタ417で選択されたデータが供給されるようになっている。また、上記加算器410では、上記逆DCT回路408の出力と上記フィールドメモリ群411～414から読み出され予測器415を介した出力との加算がなされる。なお、図示は省略しているがバッファ407からは、当該バッファ407のオーバーフローを防止するための信号が、上記量子化器405にフィードバックされるようになっている。

【0036】一方、上記ブロック化回路401からマクロブロック単位で出力された画像データは、動き検出回路402に伝送される。上記動き検出回路402は、マクロブロック単位で画像間の動きベクトルと各画素の絶対値差分和を検出し、これらのデータ(画像間の動きベクトルのデータと絶対値差分和のデータ)を出力する。絶対値差分和のデータはマクロブロックタイプ決定回路418に伝送される。当該回路418では、マクロブロック毎にマクロブロックタイプを決定する。

【0037】ここで、上記動き予測モード決定回路418でのマクロブロックタイプ決定方法について、その1例を説明する。例えば、図3のB0フレームの各マクロブロックは、以下の3通りの方法で予測することができる。

(1) 前フレームからの予測モード

(2) 前後両フレームからの線形予測モード(前フレームからの参照マクロブロックと後フレームからの参照マクロブロックを1画素毎に線形演算(たとえば平均値計算)をする。)

(3) 後フレームからの予測モード

【0038】この時のマクロブロックタイプの選択方法を図5に基づいて説明する。上記動き検出回路402で計算された前フレームからの予測誤差の絶対値差分和をX、また後フレームからの予測誤差の絶対値差分和をYとする時、図5にあるように $Y > jX$ の場合、本実施例の上記マクロブロックタイプ決定回路418では領域601にあたる前フィールドまたはフレームからの予測モードを選択するようにする。また、 $kX \leq Y \leq jX$ の場合には、領域602にあたる前後両フィールドまたはフレームからの線形予測モードが選択される。また $Y < kX$ の場合には、領域603にあたる後フィールドまたはフレームからの予測モードを選択する。

【0039】次に、上記動き補償器付フィールドメモリ群の予測器415には上記マクロブロックタイプ決定回路418からのマクロブロックタイプMBTと動きベクトルMVとが供給され、フィールドメモリ群411～414にはマクロブロックタイプMBTと動きベクトルMVに基づいて読み出しアドレス発生回路1016によって発生された読み出しアドレスが供給されるようになっている。したがって、当該動き補償器付フィールドメモリ群411～414及び予測器415では、上記動き予測におけるマクロブロックタイプMBTと上記動きベクトルMVを用いた動き補償が行われる。

【0040】次に、本実施例復号化装置101の復号器112について説明する。この復号器112の構成のブロック図を図6に示す。

【0041】この図6において、上記復号器112の入力信号は、バッファ701に一時蓄積される。このバッファ701から出力された信号は、次に逆可変長符号化器702によって符号化ビットストリームから取り出した情報に従って、ブロック毎に逆量子化器703によって逆量子化された後、逆DCT回路704によって逆DCTされる。なお、逆量子化器703、逆DCT回路704は、図4の符号器における量子化器405、DCT回路504と相補的な構成とされるものである。

【0042】上記逆DCT回路704の出力は加算器705を介してセクタ706を介して出力されると共に、予測器711及びフィールドメモリ群707～710からなる動き補償器付きフィールドメモリ群に送られ

る。上記予測器711からの出力が上記加算器705に送られる。なお、上記予測器711は、上記ブロック毎に処理された逆DCTの出力より、画像を再現するためのものである。

【0043】また、可変長符号化器702は、フィールドモード変更信号FMC及び参照フィールド信号RFCをも復号し、ディスプレイアドレス発生回路713に供給する。この信号FMCが除去されたフィールドであることを示すものである場合にはディスプレイアドレス発生回路713は、フィールドメモリ群707~710に対し、参照フィールド信号RFCに基づいて、除去されたフィールドと同じ画像信号のフィールドを読み出させる読み出しアドレスを供給する。フィールドメモリ群707~710からは再構成された画像信号が読み出され、これがセレクタ706を介して画像信号VO1として出力される。

【0044】なお、上記フィールドメモリ群707~710には、ディスプレイアドレス発生回路713からのディスプレイアドレスも供給されるようになっている。このディスプレイアドレス発生回路713には、外部周期信号に応じて周期信号を発生する周期信号発生回路712からのフレームパルス信号が供給される。

【0045】次に、本発明の第2の実施例について説明する。図7は本発明の第2の実施例の符号化装置100及び復号化装置101の全体的なブロック図を示すものである。なお、図7において、図1と対応する構成には同一の指示符号を付している。

【0046】先ず、符号化装置100の説明をする。60Hzのビデオ信号VIは、2-3ブルダウン検出回路102に送られる。ここでは、重複されているフィールドを検出する。その検出信号であるフィールドモード変更信号FMCが重複したフィールドを示している場合には、次のレート変換回路103によって、上記の重複しているフィールドが取り除かれる。その出力がフィールド順序入れ換え回路104に送られる。

【0047】フィールド順序入れ換え回路104は、レート変換されたフィールドを符号化する順になるように順序を入れ換える。当該変換された画像信号は、符号器105によって圧縮や符号化処理が行われ、その符号化出力はECC回路106で誤り訂正符号が付加された後、変調回路107によって変調され、メディア108に記録される。また、本実施例では、同時にそのフレームの表示方法を示すフラグ(後述するDSO、DFN)を符号化しメディア108に記録するようにする。

【0048】次に、復号化装置101の説明をする。メディア109に記録された信号は、取り出され、復調回路110によって復調される。その復調信号はECCデコード回路111によってエラーが訂正された後、復号器112によって24Hzのフレームを単位とした画像として復号化される。

【0049】その復号化出力は、レート変換回路113によって、元画像の時系列の順に並び替えられ、60Hzのフィールド信号に変換され、これにより60Hzのビデオ信号VOを再生することができる。

【0050】本実施例の2-3ブルダウン検出回路102の動作及び構成については前述同様である。

【0051】レート変換回路103の動作も前述の図3と同様であるが、当該第2の実施例でのレート変換回路103における信号の流れを、図8を用いて説明する。

【0052】本実施例のレート変換回路103は、上記フィールドモード変更信号FMCを2-3ブルダウン検出回路102から受信し、FMC=1となると、そのフィールドをフィールド順序入れ替え回路104に出力しないようにしている。一方、FMC=0である場合、レート変換回路103は、入力ビデオ信号をそのままフィールド順序入れ替え回路104に出力する。

【0053】また、本実施例のレート変換回路103は、フィールドの出力順を示す信号DSO(後述するtop_field_first)をも出力する。当該信号DSOは、DSO=1であるフレームの場合には後の表示の際に第1フィールドを先に表示し、ついで第2フィールドを表示することを示す信号である。また、DSO=0であるフレームは第2フィールドを先に出力し、ついで第1フィールドを出力することを示すことになる。なお、当該信号DSOは0または1の値のみをとる1ビットのフラグである。

【0054】さらに、レート変換回路103は、あるフレームを表示する際に、2フィールドを表示するかまたは3フィールド表示するかを示すフラグDFN(後述するnumber_of_field_displayed_code)をも出力する。当該フラグDFNは、DFN=1の場合、当該フレームが3フィールド表示されることを示すフラグである。これに対し、DFN=0の場合、当該フレームが2フィールド表示されることになる。なおDFNは0または1のみをとる1ビットのフラグである。

【0055】このことから、例えば、図9に示すように、フレーム(a)またはフレーム(b)またはフレーム(e)で始まるシーケンスの場合、上記信号DSOの初期値は1となり、上記フラグDFNの初期値は0となる。

【0056】また、フレーム(c)またはフレーム(d)から始まるシーケンスの場合は、最初に入力されたフィールドを除去し、図9のようにフレームを再構成して符号化することになる。これは最初に入力されたフィールドから4または6フレーム目に上記信号FMCが出力されることで判定される。

【0057】上記レート変換回路103は、上述のような信号DSOおよびフラグDFNを、符号化器105に出力する。さらに、当該レート変換回路103は、上記信号DSOをフィールド順序入れ替え回路104にも出

力する。

【0058】上記フィールド順序入れ替え回路104の構成を図10に示す。このフィールド順序入れ替え回路104は、フィールドメモリ群161およびアドレスコントローラ162から構成されるものである。

【0059】上記レート変換回路103によってレート変換された画像信号は、まずフィールドメモリ群161のアドレスコントローラ162が指定するアドレスに記録される。次に、アドレスコントローラ162の指定するアドレスの画像データをフィールドメモリ群161から読み出し、上記符号器105に出力する。

【0060】ここで、アドレスコントローラ162は、上記符号化器105のピクチャコーティングタイプ発生器420からピクチャコーティングタイプPCTを受信し、また、符号化器105の前記ブロック化回路401より、ブロックアドレスABLを受信し、さらにレート変換器103より上記信号DSOを受信する。当該アドレスコントローラ162は上記PCT、ABL、DSOを参照し、符号化器105に入力する画像データが記録されているフィールドメモリ群161のアドレスを指定し、当該メモリ群161に出力する。

【0061】当該フィールドメモリ群161では、そのアドレスに従って画像データが読み出され、その後符号化器105に出力される。

【0062】また、アドレスコントローラ162は、上記PCT、ABL、DSOを参照し、上記レート変換器103から入力される画像信号をフィールドメモリ群161に書き込むためのアドレスを指定し、当該メモリ群161に出力する。当該フィールド順序入れ替え回路104に入力される画像データは、このアドレスにしたがって当該メモリ群161に書き込まれる。

【0063】このようなことにより、フィールド順序入れ替え回路104は、画像データを符号化する順番に並び替え、またフレームを単位とした符号化を行なう場合にはブロック化を行なう際に、フレームを単位としたデータに変換する。

【0064】次に、本実施例の符号器105の構成ブロック図を図11に示す。なお、この図11においても、前述の図4と対応する構成要素には、同一の指示符号を付している。

【0065】この図11において、符号器105へ供給される信号は、例えば16×16画素のマクロブロック単位の形のデータとなされ、差分検出器403に伝送される。ブロック化回路401では、上記フィールド順序入れ替え回路104にそのフレーム内のマクロブロックのアドレスABLを送る。フィールド順序入れ替え回路104はこのABLに従い、画像データを上記フィールドメモリ群161から読み出し、当該符号化器105に入力する。

【0066】当該差分検出器403には、前述同様の動

き補償器付のフィールドメモリ群411及至414からの動き補償された画像データも供給され、当該差分検出器403でこれらの差分が検出される。

【0067】上記差分検出器403の出力は、直交変換(DCT)処理を行うDCT回路404に送られる。当該DCT回路404でDCT処理されて得られたDCT係数データは、量子化器405に送られる。当該量子化器405からの量子化データは、例えばいわゆるハフマン符号化やランレンクス符号化等の可変長符号化処理を行う可変長符号化回路406及びバッファ407を介して、符号化データとして出力される。可変長符号化回路406は、動きベクトル、マクロブロックタイプ、ピクチャコーティングタイプ等のヘッダ情報も符号化する。なお、この第2の実施例では、バッファ407のオーバーフローを防止するため、後述するバッファ監視回路1017は当該オーバーフローを防止するための信号(オーバーフローOVF)を上記量子化器405にフィードバックしている。

【0068】また、上記動き補償器付のフィールドメモリ群411及至414には、上記量子化器405からの量子化データが、当該量子化器405での量子化処理の逆量子化処理を行う逆量子化器408と上記DCT回路404でのDCT処理の逆DCT処理を行う逆DCT回路409とを介し、更に加算器410及びセクタ417を介したデータが供給されるようになっている。上記加算器410では、上記逆DCT回路408の出力と当該動き補償器付のフィールドメモリ群411及至214の出力との加算がなされる。

【0069】一方、上記マクロブロック単位で出力された画像データは、動き検出回路402に伝送される。上記動き検出回路402は、マクロブロック単位で画像間の動きベクトルと各画素の絶対値差分和を検出し、これらのデータ(画像間の動きベクトルのデータと絶対値差分和のデータ)を出力する。絶対値差分和のデータは動き予測モード決定回路418に伝送される。

【0070】ここで、本実施例におけるマクロブロックタイプ決定回路418でのマクロブロック毎の動き予測モード決定方法について、その一例を説明する。

【0071】この第2の実施例において、前述の図9におけるフレームDは、時間的に後ろ(過去)にあるフレーム(A)より予測されるモードが採られる。

【0072】また、フレームBおよびフレームCは、時間的に後ろ(過去)にあるフレームAと、時間的に前(未来)にあるフレームDより以下の3通りの方法で予測することができる。(1)前フレームからの予測モード

(2)前後両フレームからの線形予測モード(前フレームからの参照マクロブロックと後フレームからの参照マクロブロックを1画素毎に線形演算(たとえば平均値計算)をする。)

10

20

30

40

50

(3) 後フレームからの予測モード

【0073】この時の選択方法は、前述の図5同様である。

【0074】また、本実施例の上記予測器415にもマクロブロックタイプ決定回路418からの予測モードPMCと動きベクトルMVとが供給され、上記動き補償器付のフィールドメモリ群411及至514にも読み出しアドレス発生回路1016からの読み出しアドレスが供給される。したがって、当該動き補償器付のフィールドメモリ群411及至414では、上記動き予測におけるマクロブロックタイプMBTと上記動きベクトルMVを用いた動き補償が行われる。

【0075】ここで、当該第2の実施例では、あるフレームにおいてフレーム内符号化を行うか(Iピクチャ)、前方向予測符号化を行うか(Pピクチャ)、両方向予測符号化を行なうか(Bピクチャ)の判断は、ピクチャ・コーディング・タイプ(picture_coding_type)発生回路420で行なわれる。なお、IピクチャおよびPピクチャの間隔は、例えば等間隔で、初期値によって設定される。例えば、Iピクチャは15フレームに1枚で、前方向予測は3フレームの間隔で行なわれる。その間の2フレームはBピクチャとする。また、Iピクチャの間隔および前方向予測の間隔は任意の値をとり得る。

【0076】当該ピクチャ・コーディング・タイプ発生回路420からのpicture_coding_typeは、マクロブロックタイプ決定回路418、ブロック化回路401、可変長符号化器406、およびテンテンポラル・リファレンス(temporal_reference)発生回路421に出力される。

【0077】上記テンテンポラル・リファレンス発生回路421は、フレームのGOP内での表示順を表すtemporal_referenceを出力する。このtemporal_referenceは、可変長符号化器406に出力される。

【0078】次に、本実施例の可変長符号化器406について説明する。当該可変長符号化器406は、また符号化画像データにヘッダ情報を付け加える。この符号化画像データにヘッダ情報が付加されたものが上記メディア108に記録されるようになる。

【0079】ここで、2-3ブルダウンされたビデオ信号を24Hzに再変換して符号化する場合、上記メディア108(109)に対する上記ヘッダ情報の記録の方法には、2通りの記録の方法が考えられる。1つの方法は再生する際にどのフレームのどのフィールドを繰り返して出力するかを示すフラグを記録しておく方法であり、もう1つの方法は、そのようなフラグを記録せず、

復号化装置が出力する際に独自に3-2ブルダウンを行ない60Hzに変換する方法である。

【0080】以下、どのフィールドを繰り返して出力するかを示すフラグを記録する場合について説明する。

【0081】(第0の記録方法)上記2-3ブルダウン検出回路102から出力される前記フィールド変更信号FMCはどのフレームを3フィールドとして出力すべきかを示している。従ってこの信号(フラグ)FMCをピクチャヘッダに付加して記録する。復号化装置はこのFMCを参照し、レート変換するようになる。ここで、上記FMCが0である場合、そのフレームは2フィールド表示される。また、上記FMCが1である場合、そのフレームは3フィールド出力されるようになる。なお、上記FMCはピクチャヘッダのpicture_extension中に記録される。

【0082】(第1の記録方法)MPEG2において、画像シーケンスの先頭に位置する後述するシーケンスヘッダには、そのシーケンスがノンインタレース画像であることを示すフラグ(non_interlaced_sequence)及びピクチャレート(frame_rate)が記録されている。したがって、可変長符号化器406はframe_rateを24Hzまたは23.976Hzに設定し、non_interlaced_sequenceを0に設定する。

【0083】次にどのフィールドを繰り返して表示するかを示すフラグであるが、これはレート変換回路103から入力されるフラグDSO、DFNを用いる。このDSO(top_field_first)およびDFN(number_of_field_displayed_code)をピクチャヘッダに記録するようにする。ここで、DSO=1の時は、第1フィールドを先に表示する。またDSO=0の時は、第2フィールドを先に表示する。さらにDFN=0の時は、2フィールド表示を行う。また、DFN=1の時は、3フィールド表示を行なう。

【0084】次に復号化装置が自動で3-2ブルダウンを行なう場合について説明する。

【0085】(第2の記録方法)この場合、non_interlaced_sequenceを1に設定し、frame_rateを24Hzまたは23.976Hzに設定する。top_field_firstはこの場合、常に0に設定される。また、number_of_field_displayed_codeは常に0に設定される。この場合、後述する復号化装置のレート変換回路により自動で3-2ブルダウンが行なわれることになる。

【0086】ここで、表1にMPEG2のシンタクスを示す。表2、表3は上記シーケンスヘッダを示す。

【0087】

【表1】

Video Sequence	表 1	No. of bits	Mnemonic
video_sequence(){			
next_start_code()			
sequence_header()			
if(next_bits() == extension_start_code){			
sequence_extension()			
do{			
extension_and_user_data(0)			
do{			
if(next_bits() == group_start_code){			
group_of_pictures_header()			
extension_and_user_data(1)			
}			
picture_header()			
extensions_and_user_data(2)			
picture_data()			
}while((next_bits() == picture_start_code)			
next_bits() == group_start_code))			
if(next_bits() != sequence_end_code){			
sequence_header()			
sequence_extension()			
}			
}while(next_bits() != sequence_end_code)			
else{			
do{			
do{			
group_of_pictures_header()			
if(next_bits() == user_data_start_code)			
user_data()			
do{			
picture_header()			
if(next_bits() == user_data_start_code)			
user_data()			
picture_data()			
}while(next_bits() == picture_start_code)			
}while(next_bits() == group_start_code)			
if(next_bits() != sequence_end_code)			
sequence_header()			
}while(next_bits() != sequence_end_code)			
}			
sequence_end_code			
}			

Sequence header

表2

sequence_header(){	No. of bits	Mnemonic
sequence_header_code	32	bslbf
horizontal_size_value	12	uimsbf
vertical_size_value	12	uimsbf
pel_aspect_ratio	4	uimsbf
frame_rate	4	uimsbf
bit_rate	18	uimsbf
marker_bit	1	'1'
vbv_buffer_size	10	uimsbf
constrained_parameter_flag	1	
load_intra_quantizer_matrix	1	
if(load_intra_quantizer_matrix)		
intra_quantizer_matrix[64]	8*64	uimsbf
load_non_intra_quantizer_matrix	1	
if(load_non_intra_quantizer_matrix)		
non_intra_quantizer_matrix[64]	8*64	uimsbf
next_start_code()		

【0089】

【表3】

Sequence extension

表3

sequence_extension(){	No. of bits	Mnemonic
extension_start_code	32	bslbf
extension_start_code_identifier	4	uimsbf
profile_and_level_indication	8	uimsbf
non_interlaced_sequence	1	uimsbf
chroma_format	2	uimsbf
horizontal_size_extension	2	uimsbf
vertical_size_extension	2	uimsbf
bit_rate_extension	12	uimsbf
marker	1	
vbv_buffer_size_extension	5	uimsbf
frame_rate_extension	8	uimsbf
next_start_code()		
}		

【0090】また、frame __rateは4ビットのフラグで、表4にそのフラグの内容を示す。ここでnon __interlaced_sequenceが0の場合（インターレース画像）frame __rateは1秒間のフレーム数を表している。non __interlaced_sequenceが1の場合（プログレッシブ画像）、frame __rateは1秒間のプログレッシブ画像の数を示す。

【0091】

【表4】

表4

21

frame_rate

frame_rate	frames per second
0000	forbidden
0001	23.976
0010	24
0011	25
0100	29.97
0101	30
0110	50
0111	59.94
1000	60
...	reserved
1111	reserved

【0092】また、vbv_buffer_sizeは10ビットの
フラグでvbv_buffer_sizeのLSB（最下位ビット）

側10ビットを表している。VBVバッファサイズは1

22

8ビットの整数で表される。LSB（最下位ビット）側の10ビットは vbv_buffer_sizeで、MSB（最上位ビット）側の8ビットは sequence_extension 内の vbv_buffer_size_extension で表される。この18ビットの整数はシーケンスをデコードするために必要なVBVバッファサイズを示している。VBVに関してはMPEG2 Working Draftまたは TestModelの Annex Cに記載されている。これは以下の式で定義される。

【0093】 $B = 16 * 1024 * \text{vbv_buffer_size}$

10 【0094】なお、この式のBは、シーケンスをデコードするために最低限必要なVBVバッファサイズをビット単位で表したものである。

【0095】また、non_interlaced_sequenceは1ビットのフラグである。これが "1" に設定されている場合、ビデオシーケンスはプログレッシブ画像のみを含んでいる。

【0096】次に、表5、表6はピクチャヘッダを示す。

【0097】

【表5】

Picture header

表5

picture_header(){	No. of bits	Mnemonic
picture_start_code	32	bsbf
temporal_reference	10	uimsbf
picture_coding_type	3	uimsbf
vbv_delay	16	uimsbf
if(picture_coding_type=2 picture_coding_type=3){		
full_pel_forward_vector	1	
forward_f_code	3	uimsbf
}		
if(picture_coding_type=3){		
full_pel_backward_vector	1	
backward_f_code	3	uimsbf
}		
while(next_bits() != '1'){		
extra_bit_picture	1	'1'
extra_information_picture	8	
}		
extra_bit_picture	1	'0'
next_strat_code()		
}		

【0098】

【表6】

表6

picture_coding_extension(){	No. of bits	Mnemonic
extension_start_code	32	bsbf
extension_id	4	uimsbf
forward_horizontal_f_code	4	uimsbf
forward_vertical_f_code	4	uimsbf
backward_horizontal_f_code	4	uimsbf
backward_vertical_f_code	4	uimsbf
intra_dc_precision	2	uimsbf
picture_structure	2	uimsbf
top_field_first	1	uimsbf
frame_pred_frame_dct	1	uimsbf
concealment_motion_vectors	1	uimsbf
q_scale_type	1	uimsbf
intra_vlc_format	1	uimsbf
alternate_scan	1	uimsbf
number_of_field_displayed_code	1	uimsbf
chroma_postprocessing_type	1	uimsbf
composite_display_flag	1	uimsbf
if(composite_display_flag){		
v-axis	1	uimsbf
field_sequence	3	uimsbf
sub_carrier	1	
burst_amplitude	7	uimsbf
sub_carrier_phase	8	uimsbf
}		
next_start_code()		
}		

【0099】さらに、temporal_reference は10ビットのフラグで、ピクチャの表示順番を表す。これはピクチャのカウンタで画像が入力される度に1ずつ増加する値を、1024で割った余りで表される。それぞれのGOPで、画像の表示順番で1番最初の画像でtemporal_reference は0にリセットされる。またフレームがField codingによって2枚に分割されている場合、2枚のフ

40

【0100】picture_coding_typeは3ビットのフラグで画像符号化タイプの識別子であり、画像内符号化（Iピクチャ）、前方予測（Pピクチャ）、両方向予測（Bピクチャ）、画像内符号化のDC成分のみ（Dピクチャ）があり、これを表7に示す。Dピクチャは他のタイプの画像と共存してビデオシーケンス内に出現してはならない。

【0101】

【表7】

表7 picture_coding_type

picture_coding_type	coding method
000	forbidden
001	intra-coded(I)
010	predictive-coded(P)
011	bidirectionally-predictive-coded(B)
100	dc intra-coded(D)
101	reserved
110	reserved
111	reserved

【0102】また、vbv_delay は16ビットのフラグで、固定レート符号化の場合、vbv_delay はデコーダの復号開始の場合におけるバッファ占有率の初期値を設定するために用いられる。

【0103】これによって、デコーダバッファのオーバーフローやアンダーフローを回避することができる。vbv_delay は、目標ビットレートRにおいて、VBVバッファが空の状態から、正しいバッファ占有率になるまでの遅延時間で指定される。この後VBVバッファから最初の画像データが取り出される。vbv_delay はVBVが最初の picture_start_codeの最後の1バイトを受けとったところから、90Hzのシステムクロックを単位として計った遅延量である。

【0104】これは以下の式で表される。

【0105】
$$vbv_delay = 90000 * B_n / R$$

【0106】なお、 $n > 0$ で、 B_n はピクチャnの前についたGOPヘッダおよびシーケンスヘッダを除いて、ピクチャnがバッファ内にある状態でのVBVバッファ占有率である。また、Rは、シーケンスヘッダ内のbit_rateで示されるビットレートである。

【0107】また、picture_structure は2ビットのフラグで Frame structureと Fieldstructureを切替えるための識別子である。表8にその内容を示す。

【0108】

【表8】

表8 Meaning of picture_structure

picture_structure	Meaning
11	Frame-Picture
01	Top Field
10	Bottom Field
00	reserved

【0109】さらに、top_field_first は1ビットのフラグで、このビットの意味はピクチャストラクチャに依存する。フレームピクチャでは、top_field_firstが"1"に設定されているのは、フレーム内のトッ

プフィールドが先に表示されるフィールドに対応することを示している。逆に、"0"に設定されている場合、フレーム内のボトムフィールドが先に表示されるフィールドであることを示す。またフィールドストラクチャピクチャ(non_interlaced_sequenceが"1"に設定されたプログレッシブ画像も含む。)、top_field_firstは常に0に設定される。

【0110】number_of_field_displayed_codeは1ビットのフラグで、このビットが"1"に設定された場合、フレームは3フィールドとして表示される。"0"に設定された場合、フレームは2フィールドとして表示される。フィールドピクチャおよびnon_interlaced_sequenceが"1"に設定されたプログレッシブ画像の場合、"0"に設定されなければならない。2枚のフィールドピクチャから構成されるフレームは、常に2フィールドとして表示される。

【0111】ここで、上記バッファ監視回路1017におけるバッファ制御について図12、図13、図14を用いて説明する。

【0112】バッファ監視回路1017は、デコーダがビットストリームをデコードする際に、デコーダが持つバッファ701をオーバーフロー又はアンダーフローを起こさないように、エンコーダが持つバッファ407を監視し、そのバッファ占有量によってビット割り当ての制御を行うようにする。

【0113】バッファ監視回路は、概念的な仮想復号器の役割を果たす。すなわち、バッファ監視回路は、復号器の動作を仮想的に行い、復号器が持つであろうバッファがオーバーフロー又はアンダーフローを起こすことを防止する。

【0114】ここで、図14を用いて説明する。バッファ182は、バッファ407と同一のバッファである。またバッファ184はバッファ701と同一のバッファである。エンコーダは、そのビットストリームをデコードすることが可能なデコーダの仕様を、符号化の最初に決定し、シーケンスヘッダに記録する。これを満足するデコーダはそのビットストリームを復号可能であること

がわかる。デコーダが持つであろうバッファサイズは、`vbv __buffer__size`に記録されている。これはすなわちバッファ 1 8 4 のサイズである。エンコーダが持つバッファ 1 8 2 は、このバッファ 1 8 4 と同一の容量を持つ（すなわち `vbv __buffer__size` で規定された容量）。

【0 1 1 5】次に、バッファ監視回路が行う仮想復号器の動作（VBV 制御）について説明する。固定レート符号化の場合、仮想復号器ではビットストリームはメディアからバッファに定レートで入力される。また、後述するように各ピクチャの符号化データはバッファから、ピクチャレートと同期して、そのピクチャデータが即座に取り出される。バッファ監視回路は、実際の復号器で、この様にデータの読み出しが行われると仮定して、バッファの監視を行う。

【0 1 1 6】例えば図 1 4 の場合、ビットストリームはメディアから固定レートでバッファ 1 8 4 に入力され、ピクチャ周期毎に、そのピクチャのデータ全てが即座にデコーダ 1 8 5 に出力されると仮定する。

【0 1 1 7】この場合、エンコーダのバッファ 1 8 2 は、これと相対する動作をする。ピクチャのデータはピクチャの周期と同期して、そのピクチャの全てのデータはバッファ 1 8 2 に即座に入力される。また、固定レートで、バッファ 1 8 2 からメディアにビットストリームは出力される。

【0 1 1 8】この時、エンコーダのバッファ 1 8 2 の空容量とデコーダのバッファ 1 8 4 のバッファ占有量は、常に同一の値になる。また、図中指示符号 1 9 1 に示すように、バッファ 1 8 2 の占有量とバッファ 1 8 4 の占有量の和は、一定量（バッファサイズと同一の量）となる。したがって、エンコーダのバッファ占有量を監視し、これをオーバーフロー又はアンダーフローを起こさないように制御することによってデコーダにおけるバッファ 1 8 4 がオーバーフロー又はアンダーフローを起こすことを防止することができる。

【0 1 1 9】バッファ監視回路は VBV 制御を行うが、上記のように実際の回路ではエンコーダバッファ 1 8 2 を監視することにより実現できる。

【0 1 2 0】ここで上記 VBV について以下さらに詳しく説明する。ビットストリームは VBV (video buffering verifier) の条件を満たさなければならない。VBV については W D Annex C. に詳述されているので、ここでは簡単に説明する。

【0 1 2 1】VBV は、エンコーダの出力に接続される概念的な疑似復号器で、上記バッファ監視回路がバッファ 1 8 2 を監視することによって実現できる。

【0 1 2 2】VBV がもつバッファを VBV バッファと呼ぶ。これはバッファ 1 8 4 の状態を疑似的に示すものである。上記の通り、VBV バッファの占有量は、バッファ 1 8 2 の空間量と同一である。したがって、VBV バッファを監視することは、実際にはバッファ 1 8 2 を

監視することで実現できる。

【0 1 2 3】VBV の動作について説明する。

(1) VBV およびビデオエンコーダは同じピクチャレートおよび同じクロック周波数で同期して動作する。

(2) VBV バッファは、例えばサイズ B の受信バッファであり、サイズ B は `sequence __heqder` の `vbv __buffer __size` および `sequence __header __extension` の `vbv __buffer __size __extension` で与えられる。

【0 1 2 4】(3) VBV バッファは、最初は空で、`vbv __delay` の時間で読みだし可能なデータ量が蓄積される。

(4) VBV 制御は符号化伝送される全てのピクチャに適用される。バッファ内にたまった全てのデータはピクチャ単位で即座に取り除かれる。シーケンスヘッダ内の `picture __structure` 及びピクチャヘッダの `number __of __field __displayed __code` に対応したある時刻 t の後で、このピクチャに対応するバッファ内にたまった全てのデータはピクチャ単位で即座に取り除かれる。 t は以下のように定義される。

【0 1 2 5】

$t = \text{field_count} / (\text{field_per_picture} * P)$

【0 1 2 6】ただし、`field __per __picture = 2` (`picture __structure = 11` の時、即ちフレームストラクチャの時) または `field __per __picture = 1` (`picture __structure` がそれ以外の値をとる時) の時、 $P = 1$ 秒あたりのピクチャ数 `field __count` は `number __of __field __displayed __code` が示すフィールド表示の回数あるピクチャについている、シーケンスヘッダおよび GOP ヘッダはそのピクチャと同時に取り除かれる。VBV は所定のデータが取り除かれる前と後についてチェックされる。この場合、バッファ占有率が 0 から B ビットの間にあることを確認する。

【0 1 2 7】次に復号化装置が自動で 3 - 2 ブルダウンを行なう場合について説明する。

【0 1 2 8】(第 2 の記録方法) この場合、`number __of __field __displayed __code` は記録されていないが、復号化装置は自動的に 3 - 2 ブルダウンを行ない、表示を行なう。この場合、図 1 2 に示すように、符号化時の 1 秒あたりのピクチャ数と復号時の 1 秒あたりのピクチャ数が異なるため、上記 VBV 条件が成立しなくなる (オーバーフローまたはアンダーフローを起こす可能性がある。)。従ってこの場合の第 2 の記録方法でメディアに記録する場合、上記方法に対応する対策を符号化時に行なう必要がある。

【0 1 2 9】なお、図 1 2 において、平行線の幅がバッファサイズであり、階段状の実線は、エンコーダ 1 8 1 が 2 4 H z での `picture __period` 毎に 1 フレーム分のビットを VBV バッファ 1 8 2 に渡している様子を示している。階段状の点線は、デコーダのバッファ 1 8 4 のビット蓄積量の変化の様子を示している。

【0130】当該第2の記録方法で記録する場合の条件は、

(1) バッファ容量Bは `sequence_header`に記録されている実際のバッファサイズ `vbv_buffer_size * 4/5` とする(4/5 は符号化、復号化時のフレームレートの比に相当する。))。

(2) 図13に示すように、シーケンスの1フレーム目を3フィールドで出力する場合、また、2フィールドで出力する場合の双方に対応するように、`vbv_delay` を設定する。

【0131】ここで、図13について説明する。図中の平行線の幅がバッファサイズであり、階段状の実線は、エンコーダ181が24Hzでの `picture_period`毎に1フレーム分のビットをエンコーダバッファ182に渡している様子を示している。図中の平行線の傾きはビットレートを表している。VBV制御は階段状の線が平行線の間にあるようにするバッファ制御である。

【0132】第2の記録方法で記録した場合、点線の幅はバッファ容量B (`vbv_buffer_size * 4/5`) を示している。このとき、点線と実線の中央がともに一致する

ようにバッファ制御を行なう。

【0133】このように、バッファ監視回路1017によって符号化時に仮想バッファの容量を実際のバッファよりも少なく設定することにより復号時においても破綻を起こさないようにすることが可能である。

【0134】次に、第2の実施例における復号器112の構成ブロック図を図15に示す。なお、この図15も前述した図6と対応する構成要素には同一の指示符号を付している。

【0135】この図15において、復号器112の入力信号は、バッファ701に一時蓄積される。次に、逆可変長符号化器702によって符号化ビットストリームから取り出した情報に従ってブロック毎に逆量子化器703によって逆量子化された後、逆DCT回路704によって逆DCTされる。なお、逆量子化器703、逆DCT回路704は、図11の符号器における量子化器405、DCT回路504と相補的な構成とされる。

【0136】予測器711はこれらブロック毎に処理された逆DCTの出力より、画像を再現するためのものである。また、可変長符号化器702は、フィールドモード変更信号FMCを復号し、除去されたフィールドである場合には重複すべきフィールドから画像を複製してフィールドを再構成しセクタ706より画像信号として出力する。

【0137】次に、当該第2の実施例における復号化装置のレート変換回路113について説明する。

【0138】当該レート変換回路113の構成ブロック図を図16に示す。この図16において、上記逆可変調符号化器702によりビットストリームからとり出されたフラグFMCまたは、`non_interlaced_sequence`,

`frame_rate`, `top_field_first`, `number_of_field_displayed_code`は、当該レート変換回路113に入力される。レート変換回路113はこれらのフラグ情報によってフレームレートの変換を行なう。

【0139】当該レート変換回路113は具体的にはアドレスコントローラ152によって構成される。したがって、当該レート変換回路113は、上記フラグを参照して、復号器112中のセクタ付きのフィールドメモリ群151に読み出しアドレスを送り、所定のフィールドデータを当該フィールドメモリ群151から読み出させて出力させる。

【0140】ここで、前記第0の記録方法でビットストリームが記録されている場合について動作を説明する。

【0141】ピクチャヘッダに記録されているFMCを受けると、復号器112はそのフレームを3フィールド出力する。その他の場合は2フィールド出力を行なう。シーケンス中の最初のフレームのFMCが0である場合、そのフレームは前記図9のフレームAのように出力される。またシーケンス中の最初のフレームのFMCが1である場合、そのフレームは図9のフレームBのように出力される。それ以後は図9のように変換されていく。

【0142】次に、前記第1の記録方法でビットストリームが記録されている場合について動作を説明する。`non_interlaced_sequence`が0で `frame_rate`が24Hzまたは23.976Hzの場合、そのビットストリームは第1の方法で記録されていることがわかる。この場合、`top_field_first` および `number_of_field_displayed_code`より、どのフィールドを重複して出力するのかがわかる。図17に出力の方法を示す。この場合、元画像と同じフィールドが重複して出力される。

【0143】次に、前記第2の記録方法でビットストリームが記録されている場合について動作を説明する。`non_interlaced_sequence`が1で `frame_rate`が24Hzまたは23.976Hzの場合、そのビットストリームは第2の方法で記録されていることがわかる。この場合、レート変換回路113は、図9のように3-2ブルダウンを行なう。この場合、元画像と同じフィールドが繰り返される保証はない。

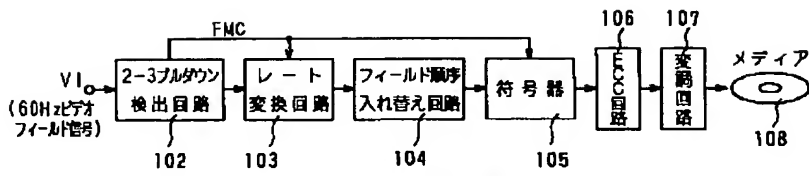
【0144】最後に、本発明実施例のビデオ信号記録メディア108, 109は、上述したような符号化装置によって符号化された信号が記録されるものである。すなわち、24Hzのフィルムソースをテレシネ変換して得られた60Hzのフィールド単位のビデオ信号から前記テレシネ変換時に重複されたフィールドを検出し、前記ビデオ信号から前記重複フィールドを除去して、24Hzのノンインターレースビデオ信号を生成し、前記ノンインターレースビデオ信号を符号化して生成された符号化データが記録されているものである。ここで、このビデオ信号記録メディアには、前述したように、重複フィ

【図 7】第 2 の実施例の符号化装置及び復号化装置の構成を示すブロック回路図である。

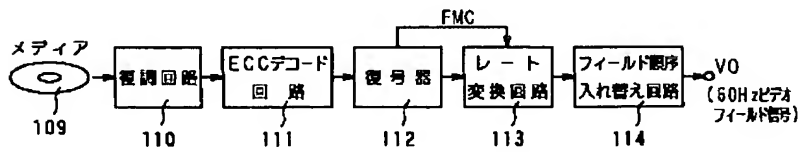
1 1 2 復号器

Figure 1 is a block diagram of the control system for a variable frequency speed control of a motor. The system includes a speed feedback loop with a feedback resistor R_f and a feedback voltage divider (201, 202). The feedback voltage $VP1$ is compared with the reference voltage $VP2$ at a summing junction (203). The resulting error signal is processed by an absolute value circuit (204), a multiplier (205), and a comparator (206) to generate a control signal FMC . The control signal FMC is used to adjust the frequency of the AC power supply V_{11} .

【図 1】

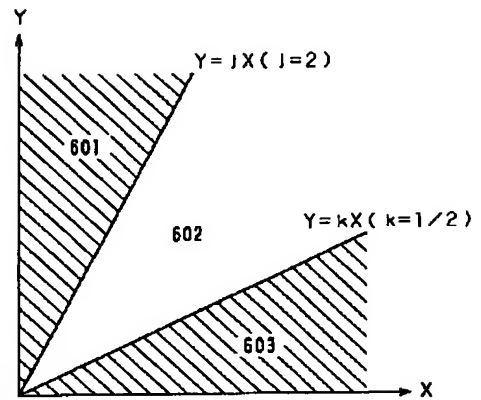


100 符号化装置

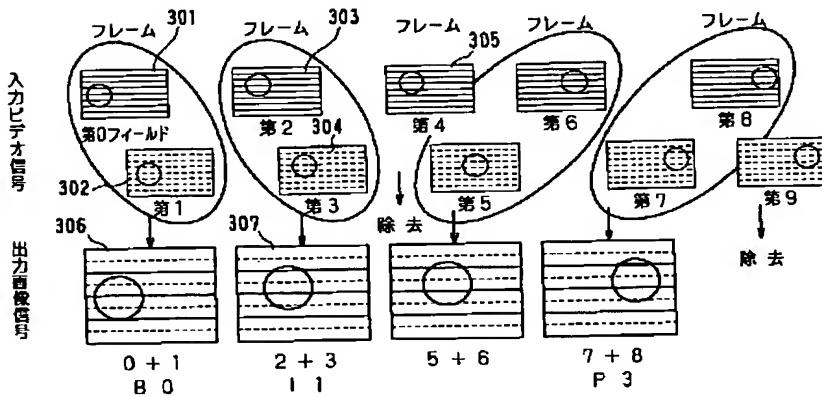


101 復号化装置

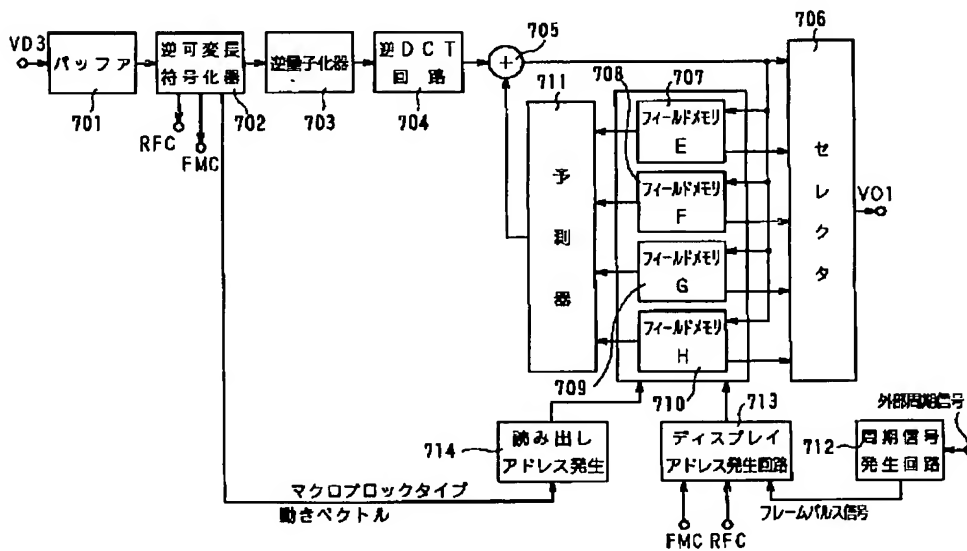
【図 5】



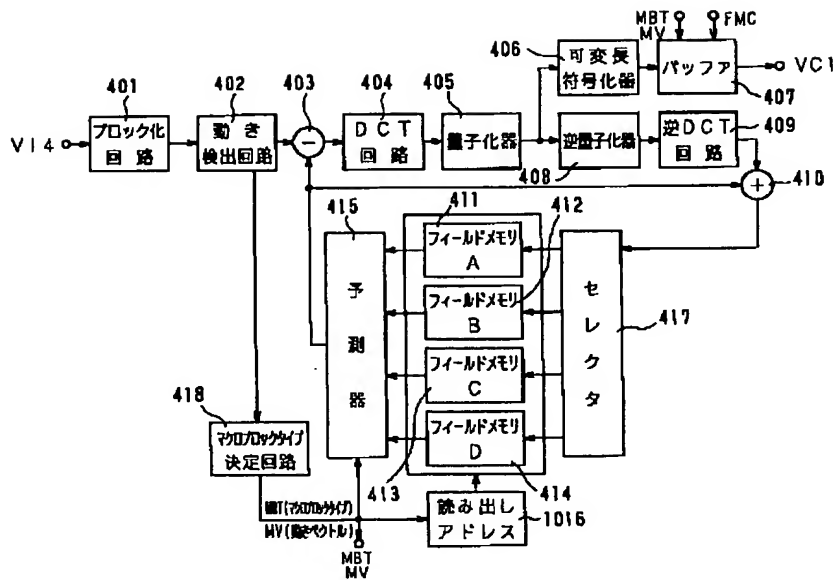
【図 3】



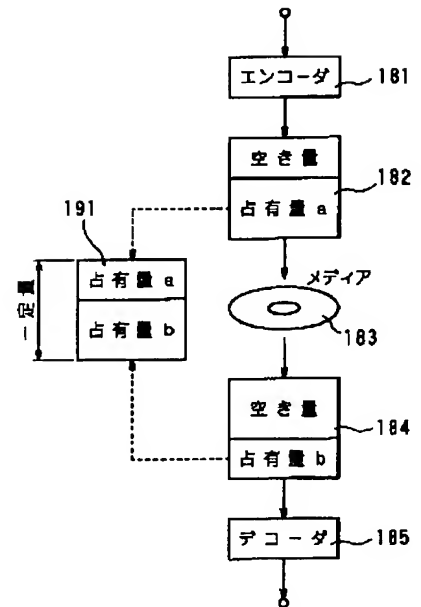
【図 6】



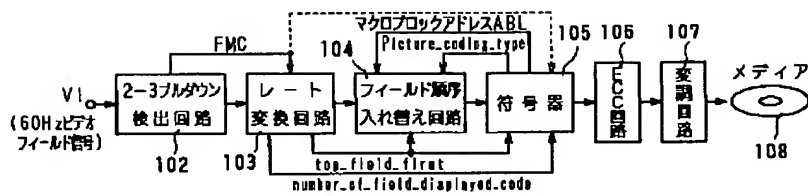
【図 4】



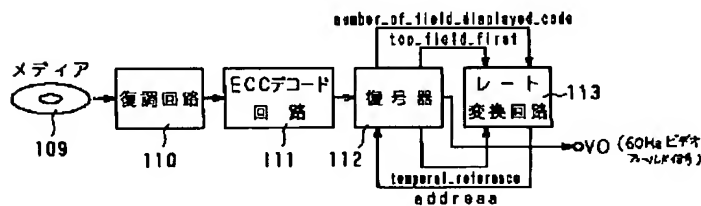
【図 14】



【図 7】

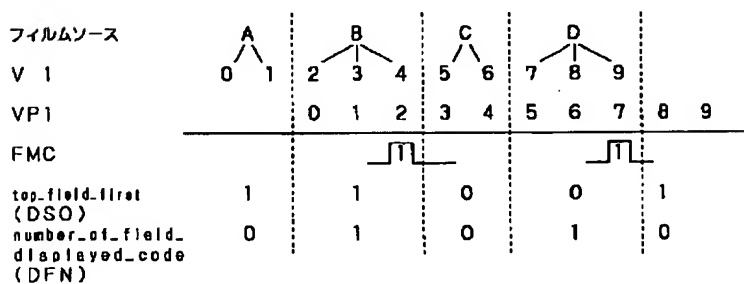


100 符号化装置

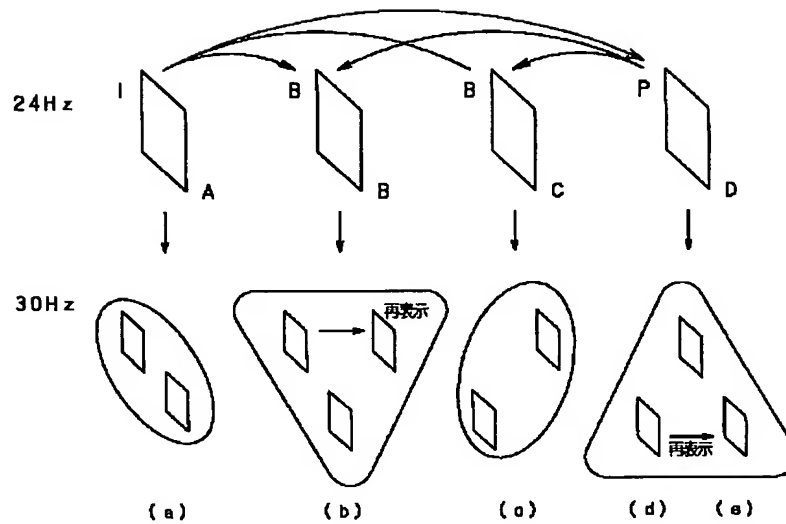


101 復号化装置

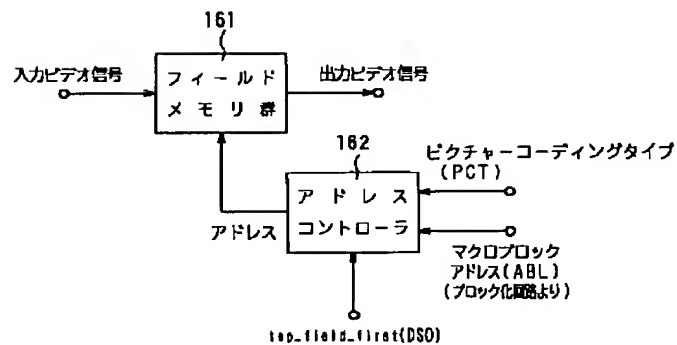
【図 8】



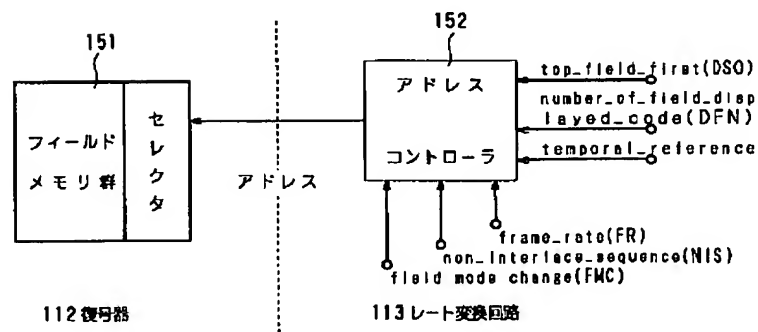
【図 9】



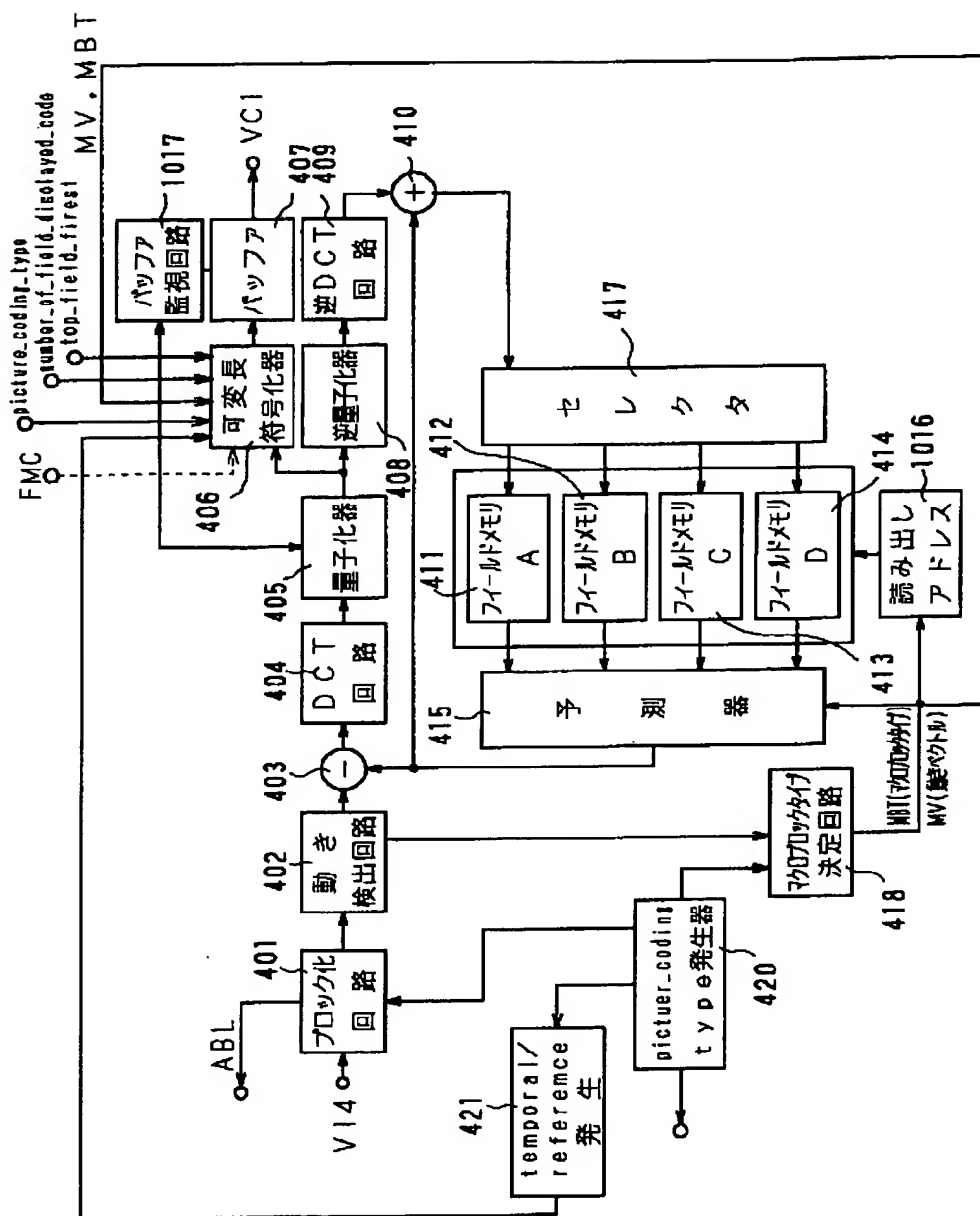
【図 10】



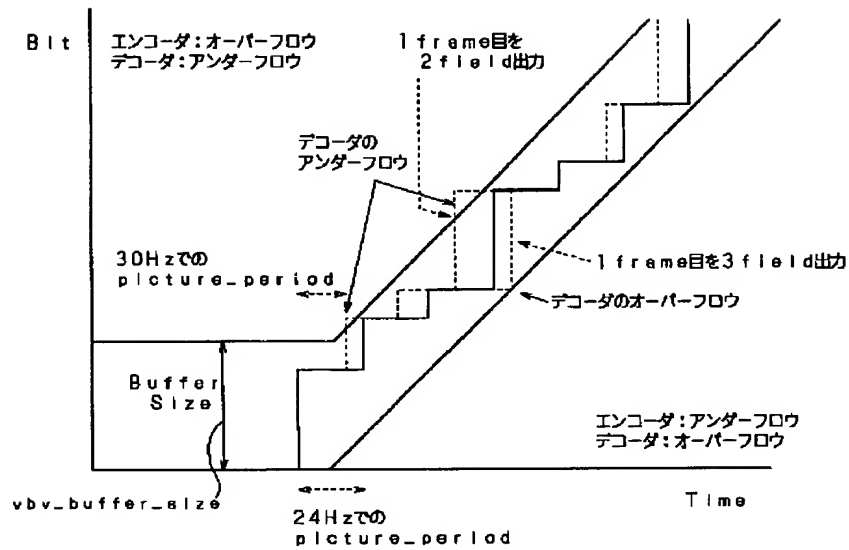
【図 16】



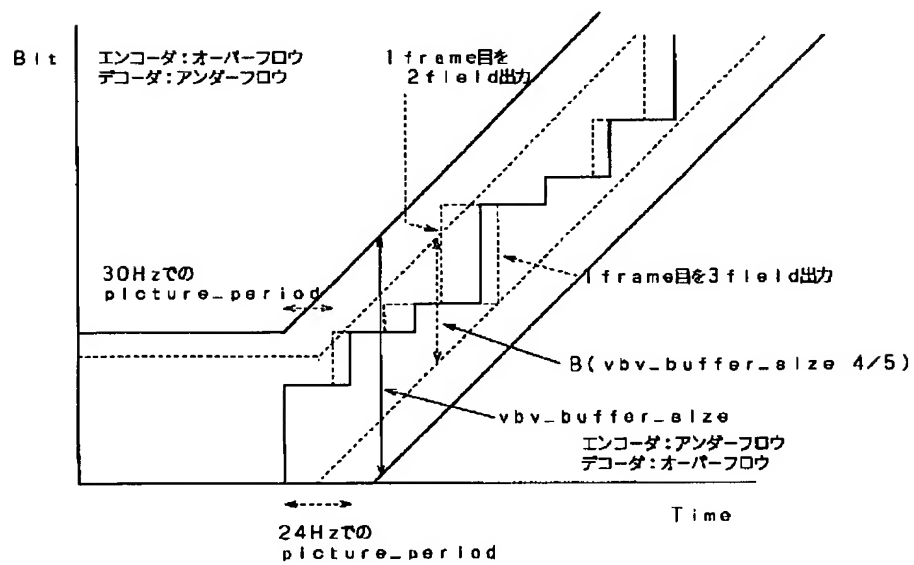
【図 1 1】



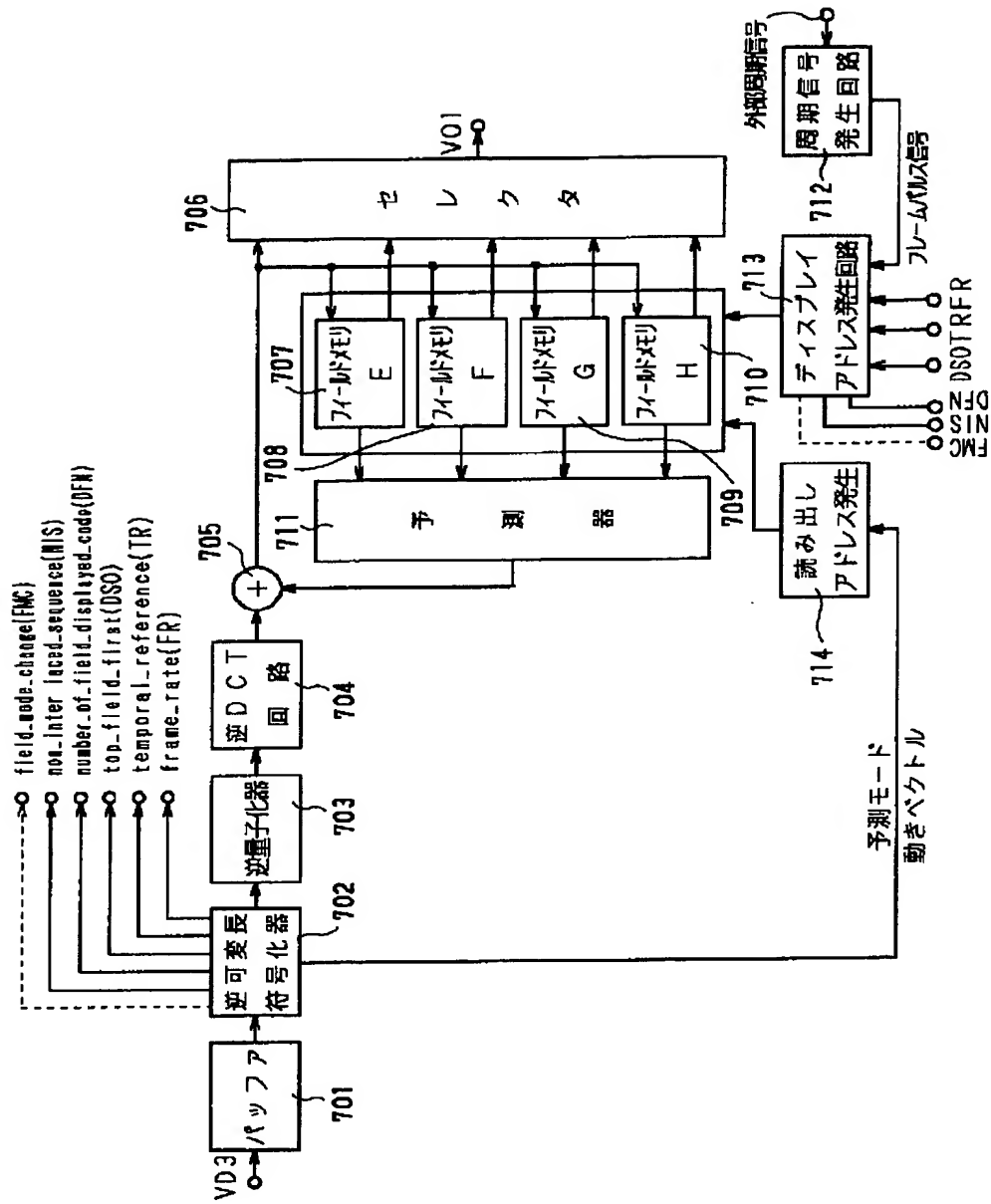
【図 1 2】



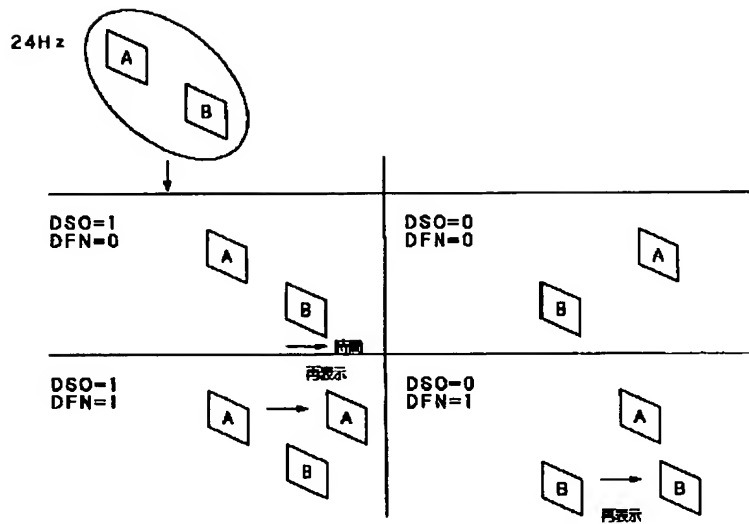
【図 1 3】



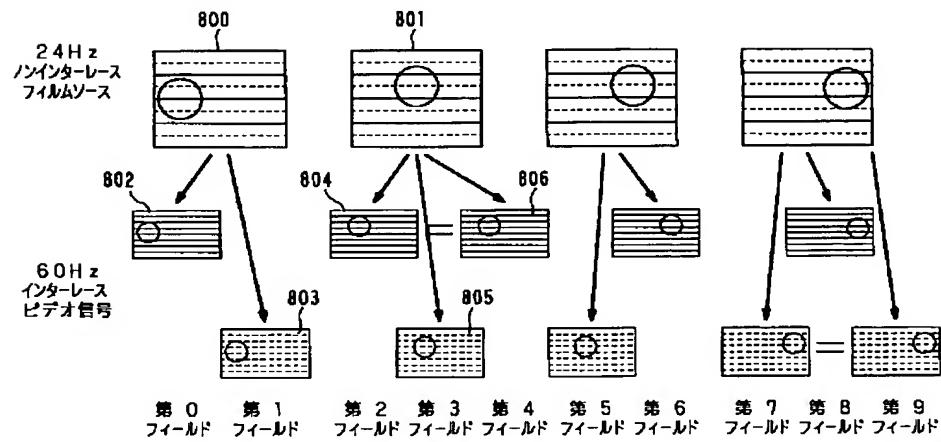
【図 15】



【図 17】



【図 18】



【図 19】

